

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-5703

(P2003-5703A)

(43)公開日 平成15年1月8日(2003.1.8)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
G 0 9 G 3/28		G 0 9 G 3/20	6 1 2 K 5 C 0 8 0
3/20	6 1 2		6 2 3 G
	6 2 3		6 2 3 H
	6 2 4	3/28	6 2 4 L
			H
審査請求 未請求 請求項の数 7 O L (全 7 頁) 最終頁に続く			

(21)出願番号 特願2001-190331(P2001-190331)

(22)出願日 平成13年6月22日(2001.6.22)

(71)出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(71)出願人 398050283

静岡バイオニア株式会社

静岡県袋井市鷺巣字西ノ谷15の1

(72)発明者 福田 正雄

静岡県袋井市鷺巣字西ノ谷15番地の1 静岡

バイオニア株式会社内

(74)代理人 100083839

弁理士 石川 泰男

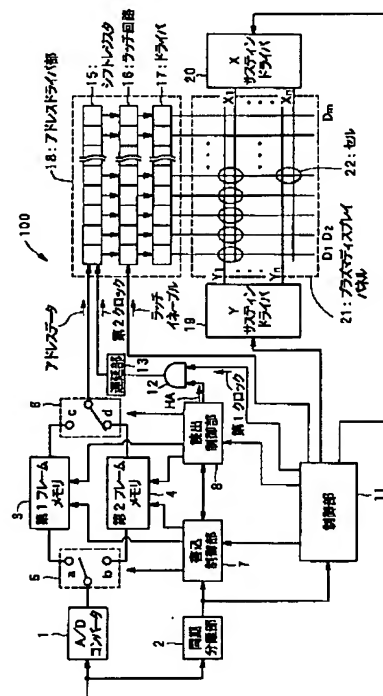
最終頁に続く

(54)【発明の名称】 パネル駆動装置

(57)【要約】

【課題】 小信号系にノイズが混入した場合でも、表示パネルの画面上に視覚ノイズを発生させないパネル駆動装置を提供する。

【解決手段】 第2クロックに従ってアドレスデータを順次蓄積するシフトレジスタ15と、シフトレジスタ15に蓄積されたアドレスデータをラッチするラッチ回路16と、ラッチ回路16から出力されたアドレスデータに基づいて表示パネル21を駆動する駆動回路17とを備える。ラッチ回路16によってシフトレジスタ15に蓄積された所定のアドレスデータをラッチすべき正規のタイミングの後、シフトレジスタ15への第2クロックの供給を停止する。



【特許請求の範囲】

【請求項1】 シフトクロックに従ってアドレスデータを順次蓄積するシフトレジスタと、

前記シフトレジスタに蓄積されたアドレスデータをラッチするラッチ回路と、

前記ラッチ回路から出力されたアドレスデータに基づいて表示パネルを駆動する駆動回路と、

前記ラッチ回路によって前記シフトレジスタに蓄積された所定のアドレスデータをラッチすべき正規のタイミングの後、前記シフトレジスタへの前記シフトクロックの供給を停止するクロック停止手段と、を備えることを特徴とするパネル駆動装置。

【請求項2】 前記シフトレジスタに与えられる前記アドレスデータを記憶する記憶手段と、

前記記憶手段に記憶された前記アドレスデータを読み出して前記シフトレジスタに送出する読み出し手段と、を備え、

前記クロック停止手段は、前記読み出し手段により所定のアドレスデータが読み出されていないことを検出する検出手段を具備し、前記検出手段により前記所定のアドレスデータが読み出されていないことが検出されている間、前記シフトレジスタへの前記シフトクロックの供給を停止することを特徴とする請求項1に記載のパネル駆動装置。

【請求項3】 前記読み出し手段は、前記所定のアドレスデータが読み出されていないことを示す所定の信号を出力し、前記検出手段は前記所定の信号に基づいて前記アドレスデータが読み出されていないことを検出することを特徴とする請求項2に記載のパネル駆動装置。

【請求項4】 前記クロック停止手段は、前記クロック停止手段に供給される別のクロックを選択的に通過させ前記シフトクロックとして出力する通過手段を備え、前記通過手段は前記検出手段における検出結果に応じて通過／非通過を選択することを特徴とする請求項2または3に記載のパネル駆動装置。

【請求項5】 前記クロック停止手段は、前記通過手段から出力される前記シフトクロックのタイミングを調整する遅延手段を備えることを特徴とする請求項4に記載のパネル駆動装置。

【請求項6】 前記表示パネルはプラズマディスプレイパネルであることを特徴とする請求項1～5のいずれか1項に記載のパネル駆動装置。

【請求項7】 前記アドレスデータに基づいて選択された画素の発光を継続させるサステインパルスを前記プラズマディスプレイパネルに与える発光維持手段を備えることを特徴とする請求項6に記載のパネル駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プラズマディスプレイ等の表示パネルを駆動する駆動装置に関し、とくに

アドレスデータに従った正しい画像を表示させることができるパネル駆動装置に関する。

【0002】

【従来の技術】図7に示すように、プラズマディスプレイパネル21を駆動する駆動装置は、シフトレジスタ115、ラッチ回路116およびドライバ117を具備するアドレスドライバ部118と、Yサステインパルスを出力するYサステインドライバ119と、Xサステインパルスを出力するXサステインドライバ120と、を備える。アドレスドライバ部118のドライバ117、Yサステインドライバ119およびXサステインドライバ120の出力端子は、それぞれプラズマディスプレイパネル21の所定の電極に接続される。

【0003】図8に示すように、1ライン分のアドレスデータ（データa～データz）は、クロックに従って順次シフトレジスタ115に書き込まれる。図8に示すように、1ライン分の最後のデータ（データz）を書き込むためのクロックの立ち上がりと同時に、ラッチ回路116に入力されるラッチイネーブルが立ち上がるため、1ライン分のデータ（データa～データz）がラッチされてドライバ117に同時に入力される。プラズマディスプレイパネル21の電極Y1～Ynのいずれかに走査パルスを選択的に印加すると同時に、列電極D1～Dmに所定のアドレスデータに応じたデータパルスDP1～DPnを印加することで、点灯セル（壁電荷が形成されるセル）と消灯セル（壁電荷が形成されないセル）を設定することができる。続いて、Yサステインドライバ119およびXサステインドライバ120を介してサステインパルスを供給することにより、点灯セルのみについて選択的に発光を繰り返させることができる。

【0004】

【発明が解決しようとする課題】しかし、図9に示すように、小信号系であるラッチイネーブルに大電力系のノイズが重畳されてしまった場合には、そのノイズにより誤ったデータがラッチされる。すなわち、図9に示すように、例えばデータ列がデータcから開始され、すべてのデータがずれてラッチされる。このため、プラズマディスプレイ21の画面上に視覚ノイズが発生する。

【0005】本発明は、小信号系にノイズが混入した場合でも、表示パネルの画面上に視覚ノイズを発生させないパネル駆動装置を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明によるパネル駆動装置は、シフトクロックに従ってアドレスデータを順次蓄積するシフトレジスタ（15）と、シフトレジスタ（15）に蓄積されたアドレスデータをラッチするラッチ回路（16）と、ラッチ回路（16）から出力されたアドレスデータに基づいて表示パネル（21）を駆動する駆動回路（17）と、ラッチ回路（16）によってシフトレジスタ（15）に蓄積された所定のアドレスデー

タをラッチすべき正規のタイミングの後、シフトレジスタ(15)へのシフトクロックの供給を停止するクロック停止手段(12等)と、を備えることを特徴とする。

【0007】このパネル駆動装置によれば、アドレスデータをラッチすべき正規のタイミングの後、シフトレジスタへのシフトクロックの供給を停止するので、正規のタイミングの後、ノイズによりアドレスデータがラッチされた場合であっても所定のアドレスデータがラッチされる。このため、表示パネル(21)の画面上には正しいアドレスデータに従った表示が行われ、視覚上のノイズを発生させない。

【0008】シフトレジスタ(15)に与えられるアドレスデータを記憶する記憶手段(3、4)と、記憶手段(3、4)に記憶されたアドレスデータを読み出してシフトレジスタ(15)に送出する読み出し手段(8)と、を備え、クロック停止手段は、読み出し手段(8)により所定のアドレスデータが読み出されていないことを検出する検出手段(12)を具備し、検出手段(12)により所定のアドレスデータが読み出されていないことが検出されている間、シフトレジスタ(15)へのシフトクロックの供給を停止してもよい。

【0009】この場合には、所定のアドレスデータが読み出されていないことが検出されている間、シフトクロックの供給が停止されるので、正規のタイミングの後、ノイズによりアドレスデータがラッチされた場合であっても所定のアドレスデータがラッチされる。

【0010】読み出し手段(8)は、所定のアドレスデータが読み出されていないことを示す所定の信号を出力し、検出手段(12)は所定の信号に基づいてアドレスデータが読み出されていないことを検出してもよい。

【0011】クロック停止手段(12等)は、クロック停止手段(12等)に供給される別のクロックを選択的に通過させシフトクロックとして出力する通過手段(12)を備え、通過手段(12)は検出手段(12)における検出結果に応じて通過/非通過を選択してもよい。

【0012】この場合、通過手段および検出手段として、各種の論理回路を用いることができる。

【0013】クロック停止手段(12等)は、通過手段(12)から出力されるシフトクロックのタイミングを調整する遅延手段(13)を備えてもよい。

【0014】この場合、遅延手段によりタイミングを調整することで、シフトレジスタに対しシフトクロックを適切なタイミングで供給できる。

【0015】表示パネルはプラズマディスプレイパネル(21)であってもよい。

【0016】この場合、大電力系と小信号系が混在するプラズマディスプレイの駆動装置においても、大電力系に起因する小信号系へのノイズ混入による画像への影響を効果的に排除できる。

【0017】アドレスデータに基づいて選択された画素

の発光を継続させるサステインパルスをプラズマディスプレイパネル(21)に与える発光維持手段(19、20)を備えてもよい。

【0018】この場合、サステインパルスの供給に起因する小信号系へのノイズ混入による画像への影響を効果的に排除できる。

【0019】なお、本発明の理解を容易にするために添付図面の参照符号を括弧書きにて付記するが、それにより本発明が図示の形態に限定されるものではない。

【0020】

【発明の実施の形態】以下、図1～図6を参照して、本発明によるパネル駆動装置の一実施形態について説明する。図1は本実施形態のパネル駆動装置を示すブロック図、図2は1フィールド期間における駆動シーケンスを示す図、図3は1サブフィールドにおける駆動波形を示す図、図4はフレームメモリへの書き込み動作およびフレームメモリからの読み出し動作を示す図、図5は1サブフィールドのアドレス期間におけるフレームメモリからの読み出し動作を示す図、図6はラッチイネーブルにノイズが混入した場合の動作を示す図である。

【0021】図1に示すように、本実施形態のパネル駆動装置100は、アナログ映像信号を入力画像データに変換するA/Dコンバータ1と、アナログ映像信号から同期信号を分離して出力する同期分離部2と、映像データを記憶する第1フレームメモリ3および第2フレームメモリ4と、映像データの書き込み先となるフレームメモリを選択するための書込スイッチ5と、映像データの読み出し元となるフレームメモリを選択するための読出スイッチ6と、書込スイッチ5を制御する書込制御部7と、読出スイッチ6を制御する読出制御部8と、装置各部を制御する制御部11と、制御部11から出力される第1クロックおよび読出制御部8から出力される信号HAの論理積をとるアンド回路12と、アンド回路12から出力される信号のタイミングを調整する遅延部13とを備える。

【0022】また、パネル駆動装置100は、1ライン分のアドレスデータ(画素データ)を記憶するシフトレジスタ15、シフトレジスタ15に1ライン分のアドレスデータが蓄積された時点で、1ライン分のアドレスデータをラッチするラッチ回路16および1ライン分のアドレスデータに応じて1ライン分のデータパルスを発生して列電極D1～Dmに同時に印加するドライバ17を具備するアドレスドライバ部18と、Yサステインパルスをサステイン電極Y1～Ynに同時に印加するYサステインドライバ19と、Xサステインパルスをサステイン電極X1～Xnに同時に印加するXサステインドライバ20と、を備える。

【0023】次に、パネル駆動装置100の動作について説明する。

【0024】プラズマディスプレイパネル21を駆動す

る期間としての1フィールドは、複数のサブフィールドSF1～SFNにより構成される。図2に示すように、各サブフィールドには、点灯させるセルを選択するアドレス期間と、そのアドレス期間において選択されたセル22を点灯させ続けるサステイン期間とが設けられている。また、最初のサブフィールドであるSF1の先頭部分には、前のフィールドでの点灯を確実に停止させるためのリセット期間がさらに設けられている。サステイン期間はサブフィールドSF1～SFNの順に段階的に長くされており、これにより階調表示が可能とされている。

【0025】図3に示すように、各サブフィールドのアドレス期間において、1ラインごとにアドレス走査が行われる。すなわち、第1のラインを構成する電極Y1に走査パルスが印加されると同時に、列電極D1～Dmに第1のラインのセルに対応するアドレスデータに応じたデータパルスDP1が印加され、次に第2のラインを構成する電極Y2に走査パルスが印加されると同時に、列電極D1～Dmに第2のラインのセルに対応するアドレスデータに応じたデータパルスDP2が印加される。第3のライン以下のラインについても同様に走査パルスおよびデータパルスが印加され、最後に第nのラインを構成する電極Y2に走査パルスが印加されると同時に、列電極D1～Dmに第nのラインのセルに対応するアドレスデータに応じたデータパルスDPnが印加される。

【0026】このようにしてアドレス走査が終了すると、サブフィールドにおけるすべてのセルが点灯セル（壁電荷が形成されているセル）および消灯セル（壁電荷が形成されていないセル）のいずれかに設定されており、次のサステイン期間においてサステインパルスが印加されるごとに点灯セルのみ発光を繰り返す。図3に示すように、サステイン期間では電極X1～Xnおよび電極Y1～Ynに対し、XサステインパルスおよびYサステインパルスが、それぞれ所定のタイミングで繰り返し印加される。

【0027】次に、アドレスデータに基づいて上記データパルスを生成する方法について説明する。図4に示すように、A/Dコンバータ1から出力されるアドレスデータは、書込スイッチ5の切り替えによって1フィールド分ずつ第1フレームメモリ3および第2フレームメモリ4に交互に書き込まれる。また、第1フレームメモリ3および第2フレームメモリ4に記憶された入力画像データは、読出スイッチ6の切り替えによって書き込みよりも1フィールド分ずつ遅れるタイミングで第1フレームメモリ3および第2フレームメモリ4から交互に読み出される。

【0028】第1フレームメモリ3および第2フレームメモリ4から読み出されたアドレスデータは、第2クロックに従って1ライン分ずつ順次シフトレジスタに書き込まれる。図6に示すように、1ライン分の最後のデータ（データz）を書き込むための第2クロックの立ち上

がりと同時に、ラッチ回路16に入力されるラッチイネーブルが立ち上がるため、1ライン分のデータ（例えば、データa～データz）がラッチされてドライバ17に同時に入力される。これにより、上記のように、電極Y1～Ynのいずれかに走査パルスが印加されると同時に、列電極D1～Dmに所定のアドレスデータに応じたデータパルスDP1～DPnが印加される。

【0029】図5に示すように、読出制御部8からは、第1フレームメモリ3または第2フレームメモリ4からアドレスデータを読み出している間のみ信号HAが出力される。図1に示すように、この信号HAおよび制御部11から出力される第1クロックをアンド回路12に入力することによって、信号HAが出力されている

（「H」となっている）期間のみ第1クロックを通過させ、第2クロックとして出力している。すなわち、第1フレームメモリ3および第2フレームメモリ4からアドレスデータが読み出されていない期間には、第2クロック（シフトクロック）の供給を停止するようにしている。なお、第2クロックは遅延部13によりタイミングを調整された状態で、シフトレジスタ15に与えられる。このように、本実施形態では、アドレスデータが読み出されていない期間は第2クロックが供給されないことでシフトレジスタ15のデータが更新されず、シフトレジスタ15では、正規のラッチイネーブルの信号が立ち上がったときの記憶状態が維持される。このため、図6に示すように大電力系のノイズがラッチイネーブルに重畳されてしまった場合でも、ノイズによってラッチされるデータは正規のアドレスデータと同一である。したがって、ノイズによって誤ったタイミングでアドレスデータがラッチされたとしても、プラズマディスプレイパネル21には正常なアドレスデータに従ったデータパルスが印加されることになり、画面上の視覚ノイズは発生しない。

【0030】

【発明の効果】以上説明したように、本発明によるパネル駆動装置によれば、アドレスデータをラッチすべき正規のタイミングの後、シフトレジスタへのシフトクロックの供給を停止するので、正規のタイミングの後、ノイズによりアドレスデータがラッチされた場合であっても所定のアドレスデータがラッチされる。このため、表示パネルの画面上には正しいアドレスデータに従った表示が行われ、視覚上のノイズを発生させない。

【図面の簡単な説明】

【図1】本実施形態のパネル駆動装置を示すブロック図。

【図2】1フィールド期間における駆動シーケンスを示す図。

【図3】1サブフィールドにおける駆動波形を示す図。

【図4】フレームメモリへの書き込み動作およびフレームメモリからの読み出し動作を示す図。

【図5】1サブフィールドのアドレス期間におけるフレームメモリからの読み出し動作を示す図。

【図6】本実施形態のパネル駆動装置においてラッチイネーブルにノイズが混入した場合の動作を示す図。

【図7】従来のパネル駆動装置を示すブロック図。

【図8】アドレスデータのラッチ動作を示す図。

【図9】従来のパネル駆動装置においてラッチイネーブルにノイズが混入した場合の動作を示す図。

【符号の説明】

3 第1フレームメモリ（記憶手段）

*10

*4 第2フレームメモリ（記憶手段）

8 読出制御部（読み出し手段）

12 アンド回路（クロック停止手段、検出手段、通過手段）

13 遅延部（遅延手段）

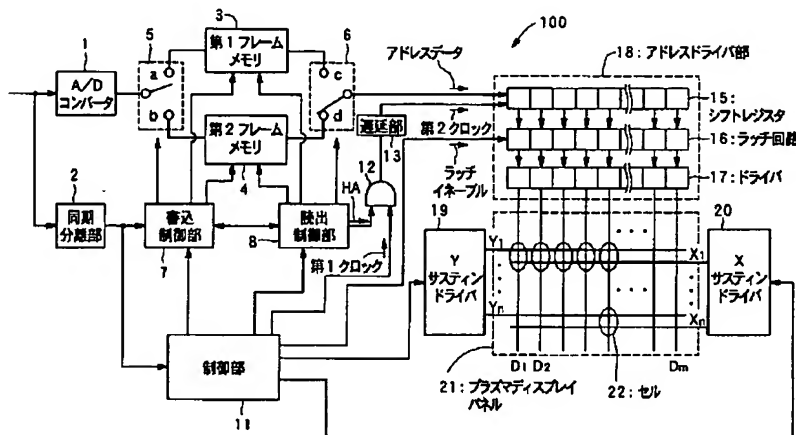
15 シフトレジスタ

16 ラッチ回路

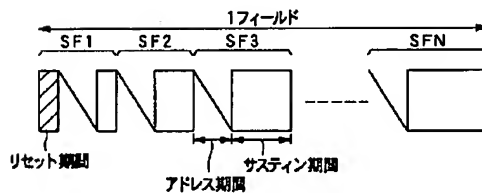
17 ドライバ（駆動回路）

21 プラズマディスプレイ（表示パネル）

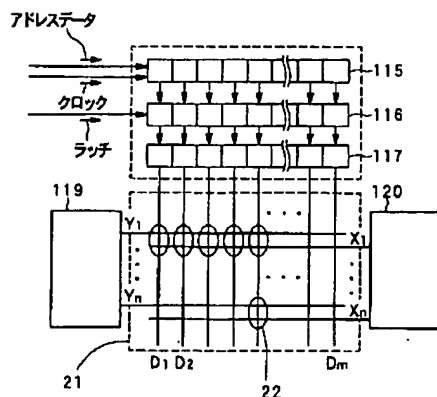
【図1】



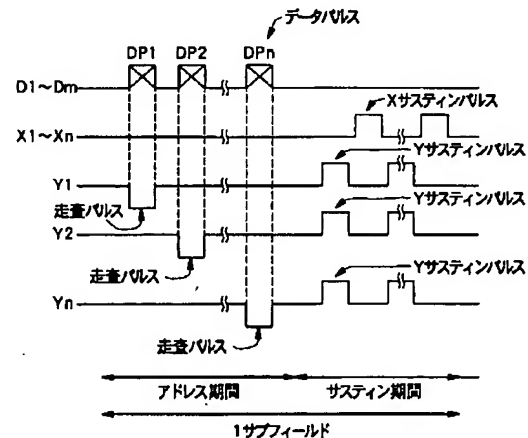
【図2】



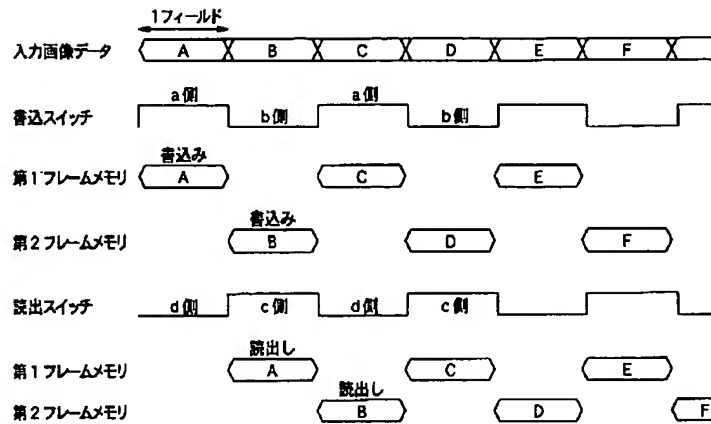
【図7】



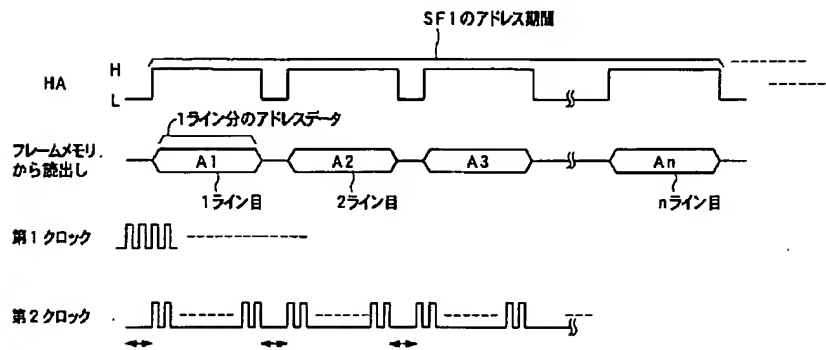
【図3】



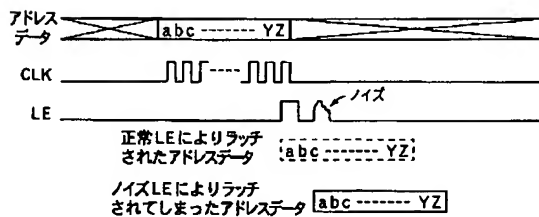
【図4】



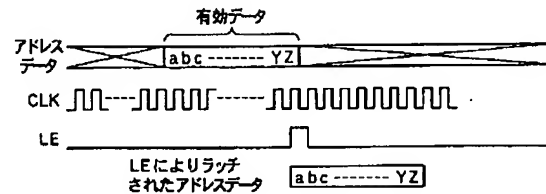
【図5】



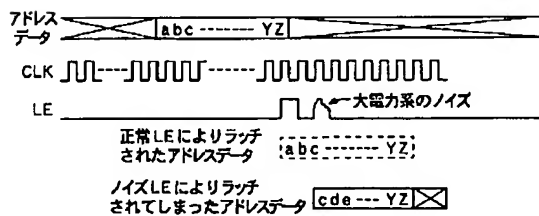
【図6】



【図8】



【図9】



フロントページの続き

(51)Int.Cl.⁷

識別記号

F I

ターム(参考)

G 0 9 G 3/28

R

(72)発明者 岩見 隆

山梨県中巨摩郡田富町西花輪2680番地 静
岡パイオニア株式会社甲府事業所内F ターム(参考) 5C080 AA05 BB05 DD09 DD12 HH02
HH04 HH05 JJ02 JJ04